



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0042775
Application Number

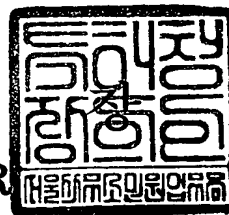
출원 년 월 일 : 2003년 06월 27일
Date of Application JUN 27, 2003

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 12 월 06 일

특 허 청
COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0008
【제출일자】	2003.06.27
【국제특허분류】	G03F
【발명의 명칭】	메인 스트럿과 보조 스트럿을 가지는 스텐실 마스크 및 그 제조 방법
【발명의 영문명칭】	Stencil mask having auxiliary and main struts and method for forming the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	김인성
【성명의 영문표기】	KIM, In Sung
【주민등록번호】	691011-1545432
【우편번호】	440-152
【주소】	경기도 수원시 장안구 화서2동 화서주공4단지아파트 406-1204
【국적】	KR
【발명자】	
【성명의 국문표기】	김호철
【성명의 영문표기】	KIM, Ho Chul
【주민등록번호】	680601-1069225

【우편번호】 156-092
【주소】 서울특별시 동작구 사당2동 극동아파트 110-1506
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 41 면 41,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 49 항 1,677,000 원
【합계】 1,747,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

메인 스트럿에 의하여 지지되는 멤브레인 영역의 사이즈 및 종횡비를 제한하지 않고도 멤브레인의 변형 또는 왜곡을 방지할 수 있도록 멤브레인 영역을 패턴 영역에 대응하여 복수의 분할 멤브레인 영역으로 나누어 지지하기 위한 보조 스트럿을 구비하는 스텐실 마스크에 관하여 개시한다. 본 발명에 따른 스텐실 마스크는 멤브레인 영역과 상기 멤브레인 영역을 한정하는 경계 영역을 가지는 멤브레인 형성용 박막을 포함한다. 상기 멤브레인 영역은 하전된 입자선이 투과할 수 있도록 개구가 형성되어 있는 복수의 패턴 영역 및 이들 사이에 위치되는 비패턴 영역을 가진다. 상기 멤브레인 형성용 박막의 경계 영역 위에는 상기 멤브레인 영역을 지지할 수 있도록 메인 스트럿이 형성되어 있다. 상기 멤브레인 영역 내의 비패턴 영역에는 상기 멤브레인 영역이 복수의 분할 멤브레인 영역으로 나누어지도록 보조 스트럿이 형성되어 있다. 상기 보조 스트럿에 의하여 상기 각 분할 멤브레인 영역이 지지된다.

【대표도】

도 7i

【색인어】

스텐실 마스크, 메인 스트럿, 보조 스트럿, 멤브레인, 이미지 배치 에러

【명세서】

【발명의 명칭】

메인 스트럿과 보조 스트럿을 가지는 스텐실 마스크 및 그 제조 방법 {Stencil mask having auxiliary and main struts and method for forming the same}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 스텐실 마스크의 일부 구성을 개략적으로 도시한 사시도이다.

도 2는 도 1의 일부를 확대하여 도시한 단면도이다.

도 3a 내지 도 3d는 본 발명의 제1 실시예에 따른 스텐실 마스크의 요부 구성을 보여주는 도면들로서, 도 3a는 평면도이고, 도 3b는 도 3a의 배면도이고, 도 3c는 도 3a 및 도 3b의 IIIc - IIIc'선 단면도이고, 도 3d는 도 3a 및 도 3b의 IIId - IIId'선 단면도이다.

도 4a 내지 도 4d는 본 발명의 제2 실시예에 따른 스텐실 마스크의 요부 구성을 보여주는 도면들로서, 도 4a는 평면도이고, 도 4b는 도 4a의 배면도이고, 도 4c는 도 4a 및 도 4b의 IVc - IVc'선 단면도이고, 도 4d는 도 4a 및 도 4b의 IVd - IVd'선 단면도이다.

도 5는 본 발명의 제3 실시예에 따른 스텐실 마스크에서 메인 스트럿에 의하여 지지되는 각 멤브레인 영역이 다양한 형태 및 배치를 가지는 보조 스트럿에 의하여 분할되어 지지되는 구성을 보여주는 평면도이다.

도 6a 내지 도 6i는 본 발명의 제1 실시예에 따른 스텐실 마스크 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

도 7a 내지 도 7i는 본 발명의 제2 실시예에 따른 스텐실 마스크 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

100: 스텐실 마스크, 110: 멤브레인 형성용 박막, 110A: 멤브레인 영역, 110Aa, 110Ab, 110Ac, 110Ad, 110Ae, 110Af: 분할 멤브레인 영역, 110B: 경계 영역, 110C: 제1면, 110D: 제2면, 112: 개구, 114: 패턴 영역, 116: 비패턴 영역, 120: 메인 스트럿, 122: 산화막, 130: 보조 스트럿, 130a: 중첩부, 132: 보호막, 200: 스텐실 마스크, 210A: 멤브레인 영역, 210Aa, 210Ab, 210Ac, 210Ad, 210Ae, 210Af: 분할 멤브레인 영역, 230: 보조 스트럿, 230a: 일부.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10> 본 발명은 전자빔과 같은 하전된 입자선(charged particle beam)을 사용하여 리소그래피 기술에 따라 패턴을 형성하는 데 사용되는 스텐실 마스크 및 그 제조 방법에 관한 것으로, 특히 스트럿에 의하여 지지되는 박막 멤브레인을 사용하는 스텐실 마스크 및 그 제조 방법에 관한 것이다.

<11> 반도체 집적회로 소자가 미세화됨에 따라 광학계의 해상도를 향상시키기 위하여 X선, 전자빔, 또는 이온빔 등과 같은 하전된 입자선을 사용하는 리소그래피 기술이 개발되고 있다. 그 중, 전자빔을 이용하여 패턴을 형성하는 전자빔 전사(轉寫)형 리소그래피 기술은 $1\mu\text{m}$ 또는 그 이하의 미세 패턴을 형성할 수 있다는 이점을 제공하는 것으로, 이 기술을 이용한 다양한 시스템 및 패턴 형성 방법이 제안되었다. (예를 들면, 미합중국 특허 제5,831,272호).

- <12> 전자빔 전사형 리소그래피 기술중 EPL (electron-beam proximity projection lithography) 또는 LEEPL (low energy EPL)에서는 스텐실 마스크에 형성된 미세한 개구를 전자빔이 투과함으로써 레지스트 위에 패턴이 전사된다.
- <13> 도 1은 EPL 또는 LEEPL 기술에서 사용되는 통상적인 스텐실 마스크(10)의 일부 구성을 개략적으로 도시한 사시도이다. 도 1에 도시한 바와 같이, 통상의 스텐실 마스크(10)에서는 각각 미세 개구(도시 생략)에 의하여 패턴이 형성되어 있는 복수의 멤브레인 영역(12)이 패턴이 존재하지 않는 경계 영역으로 구획되어 있으며, 상기 경계 영역에 대응하는 부분에는 스텐실 마스크의 기계적 강도를 보강하기 위한 지지 스트럿(strut)(14)이 십자형으로 교차된 네트워크 형상으로 형성되어 있다.
- <14> 도 2는 도 1의 스텐실 마스크(10)의 일부를 확대하여 나타낸 단면도이다. 도 2에 나타낸 바와 같이, 멤브레인(12)에는 미세한 패턴에 대응하여 개구(12a)가 형성되어 있다. 상기 스텐실 마스크(10)상에 전자빔(20)이 조사되면 상기 개구(12a)를 통하여 전자빔이 투과하여 웨이퍼상의 레지스트막(도시 생략)에 패턴이 전사된다.
- <15> 상기 개구(12a)는 상기 멤브레인(10)을 에칭하여 형성되는 것이다. 고집적화된 차세대 디바이스 제조를 위한 미세 패턴, 예를 들면 $0.1\ \mu\text{m}$ 이하의 미세 패턴을 형성하여야 하는 경우에는 이를 위하여 상기 개구(12a)를 수 십 nm 수준의 선폭을 가지도록 형성할 필요가 있다. 그런데, 상기 개구(12a) 형성을 위한 멤브레인(12)의 에칭 공정을 행하는 데 있어서 원하는 프로파일의 개구(12a)를 정밀하게 형성하기 위하여는 상기 개구(12a)의 아스펙트비(aspect ratio), 즉 상기 개구(12a)의 직경에 대한 멤브레인(12)의 두께의 비가 너무 크지 않아야 한다. 따라서, 극미세 회로 패턴을 정밀하게 형성하기 위하여 상기 개구(12a)의 아스펙트비를 적정

수준으로 유지하여야 하며, 이를 위하여 상기 멤브레인(12)의 두께를 가능한 얇게, 예를 들면 약 1 μm 이하, 바람직하게는 500 nm 이하로 되도록 하여야 한다.

<16> 그러나, 멤브레인(12)의 두께가 얇아지면 멤브레인(12)은 휘어지기 쉽고 멤브레인(12) 내부에서 인장 응력이 발생되어 멤브레인(12)의 변형 또는 왜곡이 초래되며, 멤브레인(12)을 통하여 전사되는 패턴의 위치가 어긋나는 이미지 배치 에러 (image placement error)가 발생된다.

<17> 상기와 같은 문제를 해결하기 위하여 다양한 구조를 가지는 마스크들이 제안되었으나 (예를 들면, 미합중국 특허 제6,261,726 B1호 및 일본국 특개평15(2003)-59819호), 지금까지 제안된 마스크들은 대부분 통상의 스트럿을 이용하여 멤브레인 영역을 지지하는 구조를 가지는 것으로, 이와 같은 구조에서는 멤브레인의 변형 또는 왜곡에 의한 이미지 배치 에러를 방지하는 데 한계가 있다.

【발명이 이루고자 하는 기술적 과제】

<18> 본 발명의 목적은 스트럿에 의하여 한정되는 멤브레인 영역의 사이즈 또는 종횡비 설정에 제한을 가하지 않고도 멤브레인 영역 내에서 내부 응력의 영향에 의하여 멤브레인이 변형 또는 왜곡되어 이미지 배치 에러가 발생하거나 패턴의 위치 정밀도가 저하되는 것을 방지할 수 있는 구조를 가지는 스텐실 마스크를 제공하는 것이다.

<19> 본 발명의 다른 목적은 멤브레인 영역의 사이즈 또는 종횡비에 따른 제약 없이 멤브레인 영역을 집적 회로의 설계 영역에서 소자 구성에 필요한 패턴 밀도에 따라서 한정할 수 있으며, 비교적 큰 면적의 멤브레인 영역 내에서도 멤브레인 영역 내에서의 내부 응력 변화에 의한 멤

브레인의 변형 또는 왜곡을 방지함으로써 이미지 배치 에러를 최소화하고 패턴의 위치 정밀도가 저하되는 것을 방지할 수 있는 스텐실 마스크 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

- <20> 상기 목적을 달성하기 위하여, 본 발명에 따른 스텐실 마스크는 멤브레인 영역과 상기 멤브레인 영역을 한정하는 경계 영역을 가지는 멤브레인 형성용 박막을 포함한다. 상기 멤브레인 영역은 하전된 입자선이 투과할 수 있도록 개구가 형성되어 있는 복수의 패턴 영역 및 이들 사이에 위치되는 비패턴 영역을 가진다. 상기 멤브레인 형성용 박막의 경계 영역 위에는 상기 멤브레인 영역을 지지할 수 있도록 메인 스트럿이 형성되어 있다. 상기 멤브레인 영역 내의 비패턴 영역에는 상기 멤브레인 영역이 복수의 분할 멤브레인 영역으로 나누어지도록 보조 스트럿이 형성되어 있다. 상기 보조 스트럿에 의하여 상기 각 분할 멤브레인 영역이 지지된다.
- <21> 상기 보조 스트럿은 상기 멤브레인 형성용 박막을 관통하여 형성되어 있다. 상기 멤브레인 형성용 박막은 상기 메인 스트럿과 대면하고 있는 제1면과 그 반대측 제2면을 가지고, 상기 보조 스트럿은 상기 제2면을 통하여 노출되어 있는 표면을 가진다. 또한, 상기 보조 스트럿은 상기 멤브레인 형성용 박막의 제1면으로부터 상기 제1면과 직교하는 방향으로 제1 길이 만큼 연장되어 있으며, 상기 제1 길이는 상기 메인 스트럿의 길이보다 작다. 바람직하게는, 상기 보조 스트럿은 상기 메인 스트럿과 일부 중첩되도록 상기 경계 영역 위로 연장되어 있는 중첩부를 가진다.
- <22> 본 발명에 따른 스텐실 마스크는 상기 보조 스트럿의 적어도 일부를 덮고 있는 보호막을 더 포함할 수 있다. 상기 보호막은 상기 보조 스트럿의 제1 표면을 제외한 나머지 표면을 덮도록 형성된다.

- <23> 상기 멤브레인 형성용 박막의 경계 영역과 상기 메인 스트럿과의 사이에는 산화막이 개재되어 있다.
- <24> 상기 보조 스트럿은 그 내부가 완전히 채워진 콜럼 형상을 가질 수 있다. 또는, 상기 보조 스트럿은 "U" 자형 단면 형상을 가지도록 상기 제1 표면의 일부가 리세스되어 있는 구조를 가질 수 있다.
- <25> 상기 보조 스트럿은 상기 멤브레인 영역이 셀 블록 단위로 구분되는 복수의 분할 멤브레인 영역으로 나누어지도록 상기 비패턴 영역에 형성된다.
- <26> 상기 다른 목적을 달성하기 위하여, 본 발명의 제1 양태에 따른 스텐실 마스크 제조 방법에서는 하전된 입자선에 의하여 전사될 패턴을 형성하기 위한 복수의 패턴 영역과, 상기 각 패턴 영역 사이에 위치되는 비패턴 영역을 각각 포함하는 복수의 멤브레인 영역과, 상기 멤브레인 영역을 한정하는 경계 영역을 포함하고 제1면 및 그 반대측 제2면을 가지는 멤브레인 형성용 박막, 상기 멤브레인 형성용 박막에 대면하는 제1면 및 그 반대측 제2면을 가지는 기판, 그리고 상기 멤브레인 형성용 박막의 제1면과 상기 기판과의 사이에 개재되어 있는 산화막을 포함하는 복합막을 준비한다. 상기 비패턴 영역에서 상기 멤브레인 형성용 박막의 제2면으로부터 상기 복합막을 식각하여 트렌치를 형성한다. 상기 트렌치 내에 지지막을 채워 보조 스트럿을 형성한다. 상기 기판중 상기 멤브레인 영역에 있는 부분만을 제거하여 상기 경계 영역에서 상기 멤브레인 영역을 지지하는 메인 스트럿을 형성한다.
- <27> 상기 메인 스트럿을 형성하는 단계는 상기 보조 스트럿이 형성된 후 행해진다.
- <28> 상기 보조 스트럿을 형성하는 단계는 상기 트렌치 내벽에 보호막을 형성하는 단계와, 상기 보호막 위에 상기 지지막을 형성하는 단계를 포함한다.

- <29> 본 발명의 제1 양태에 따른 스텐실 마스크 제조 방법에서는 상기 멤브레인 영역의 패턴 영역에 전사 패턴이 형성되도록 상기 멤브레인 형성용 박막을 관통하는 개구를 형성하는 단계를 더 포함한다. 상기 개구를 형성하는 단계는 상기 보조 스트럿 및 메인 스트럿이 형성된 후 행해지거나, 또는 상기 보조 스트럿 및 메인 스트럿을 형성하기 전에 행해진다.
- <30> 또한, 상기 다른 목적을 달성하기 위하여, 본 발명의 제2 양태에 따른 스텐실 마스크 제조 방법에서는 기판, 산화막 및 실리콘 박막이 차례로 적층된 SOI 기판을 준비한다. 상기 실리콘 박막 위에 상기 실리콘 박막을 일부 노출시키는 제1 마스크 패턴을 형성한다. 상기 제1 마스크 패턴을 식각 마스크로 하여 실리콘 박막, 산화막 및 기판을 식각하여 트렌치를 형성한다. 상기 트렌치 내에 지지막을 채워 보조 스트럿을 형성한다. 상기 기판중 상기 산화막에 대면하는 면의 반대측 면에 제2 마스크 패턴을 형성한다. 상기 제2 마스크 패턴을 식각 마스크로 하여 상기 기판을 식각하여 상기 실리콘 박막의 멤브레인 영역을 한정하는 메인 스트럿을 형성한다. 상기 멤브레인 영역에서 상기 보조 스트럿에 의하여 한정되는 패턴 영역 내에 전사 패턴이 형성되도록 상기 실리콘 박막을 관통하는 개구를 형성한다.
- <31> 또한, 상기 다른 목적을 달성하기 위하여, 본 발명의 제3 양태에 따른 스텐실 마스크 제조 방법에서는 기판, 산화막 및 실리콘 박막이 차례로 적층된 SOI 기판을 준비한다. 상기 실리콘 박막에서 패턴 영역 및 이들 사이에 위치되는 비패턴 영역을 가지는 복수의 멤브레인 영역과 이들을 한정하는 경계 영역을 예정이다. 상기 패턴 영역에 전사 패턴이 형성되도록 상기 실리콘 박막을 관통하는 개구를 형성한다. 상기 비패턴 영역에서 상기 실리콘 박막을 노출시키도록 상기 개구가 형성된 패턴 영역 및 경계 영역을 덮는 제1 마스크 패턴을 형성한다. 상기 제1 마스크 패턴을 식각 마스크로 하여 실리콘 박막, 산화막 및 기판을 식각하여 상기 비패턴 영역에 트렌치를 형성한다. 상기 트렌치 내에 지지막을 채워 보조 스트럿을 형성한다. 상기 기판중

상기 산화막에 대면하는 면의 반대측 면에 제2 마스크 패턴을 형성한다. 상기 제2 마스크 패턴을 식각 마스크로 하여 상기 기판을 식각하여 상기 경계 영역에 상기 멤브레인 영역을 한정하는 메인 스트럿을 형성한다.

<32> 본 발명에 따른 스텐실 마스크는 멤브레인 영역이 메인 스트럿과 보조 스트럿에 의하여 지지된다. 따라서, 멤브레인 영역이 비교적 크게 한정된 경우에도 멤브레인이 변형 또는 왜곡되는 것을 방지할 수 있고, 그에 따라 이미지 배치 에러를 최소화할 수 있으며 패턴의 위치 정밀도가 저하되는 것을 방지할 수 있다. 또한, 보조 스트럿의 배치와 그 폭 및 길이를 다양하게 설계할 수 있어 메인 스트럿의 형태 및 배치와, 멤브레인 영역의 사이즈 및 종횡비에 제한받지 않는다.

<33> 다음에, 본 발명의 바람직한 실시예들에 대하여 첨부 도면을 참조하여 상세히 설명한다.

<34> 도 3a는 본 발명의 제1 실시예에 따른 스텐실 마스크(100)의 요부 구성을 보여주는 평면도이고, 도 3b는 도 3a의 배면도이다. 또한, 도 3c 및 도 3d는 각각 도 3a 및 도 3b의 IIIc - IIIc'선 및 IIId - IIId'선 단면도이다.

<35> 도 3a 내지 도 3d를 참조하면, 스텐실 마스크(100)는 복수의 멤브레인 영역(110A)과 상기 멤브레인 영역(110A)을 한정하는 경계 영역(110B)을 가지는 멤브레인 형성용 박막(110)을 포함한다. 상기 멤브레인 영역(110A)은 각각 상기 멤브레인 형성용 박막(110)의 경계 영역(110B)에 형성된 메인 스트럿(120)에 의하여 그 면적이 한정된다. 예를 들면, 상기 멤브레인 영역(110A)은 하나의 칩 영역 단위로 구성될 수 있다. 상기 멤브레인 형성용 박막(100)은 상기 상기 메인 스트럿(120)과 대면하고 있는 제1면(110C)과 그 반대측 제2면(110D)을 가진다. 도

3a에서는 상기 멤브레인 형성용 박막(110)의 제1면(110C)을 볼 수 있고, 도 3c에서는 상기 멤브레인 형성용 박막의 제2면(110D)을 볼 수 있다.

<36> 도 3c 및 도 3d에 나타난 바와 같이, 상기 멤브레인 형성용 박막(110)의 경계 영역(110B)과 상기 메인 스트럿(120)과의 사이에는 산화막(122)이 개재되어 있다.

<37> 도 3b에 도시한 바와 같이 상기 멤브레인 영역(110A)은 하전된 입자선, 예를 들면 전자빔이 투과할 수 있도록 개구(112)가 형성되어 있는 복수의 패턴 영역(114) 및 이들 사이에 위치되는 비패턴 영역(116)을 가진다. 상기 비패턴 영역(116)에는 상기 멤브레인 영역(110A)을 상기 패턴 영역(114)에 대응되는 복수의 분할 멤브레인 영역(110Aa, 110Ab, 110Ac, 110Ad, 110Ae, 110Af)으로 나누면서 상기 각 분할 멤브레인 영역(110Aa, 110Ab, 110Ac, 110Ad, 110Ae, 110Af)을 지지하는 보조 스트럿(130)이 형성되어 있다. 상기 보조 스트럿(130)에 의하여 지지되는 각 분할 멤브레인 영역(110Aa, 110Ab, 110Ac, 110Ad, 110Ae, 110Af), 즉 패턴 영역(114)은 각각 반도체 메모리 소자의 단위 셀 패턴이 밀집되어 있는 셀 블록 단위로 구성될 수 있다. 상기 셀 블록들은 각각 반도체 메모리 소자의 경우 약 10 ~ 100 μm 의 거리 만큼 이격되어 셀 어레이 형태로 배열되어 있고, 상기 각 셀 어레이는 약 100 μm 이상의 폭을 가지는 주변 회로 영역에 의하여 서로 격리되어 있다. 상기 멤브레인 영역(110A)이 하나의 셀 어레이에 대응하도록 구성되는 경우, 상기 셀 어레이 내에서 각 셀 블록 사이에 존재하는 이격 거리는 상기 스텝 실 마스크(100)의 멤브레인 영역(110A)내에 위치되는 상기 비패턴 영역(116)의 폭에 대응되며, 따라서 상기 비패턴 영역(116)에는 약 10 ~ 100 μm 의 폭을 가지는 보조 스트럿(130)이 형성된다. 또한, 각각의 멤브레인 영역(110A)은 약 100 μm 이상의 폭을 가지는 경계 영역(110B)에 의하여 격리된다. 여기서, 상기 멤브레인 형성용 박막(110)은 실리콘막으로 이루어질 수 있다. 상기 보조 스트럿(130)은 상기 멤브

레인 형성용 박막(110)과 대략 유사한 스트레스 특성을 가지는 물질로 이루어지는 것이 바람직하다. 예를 들면, 상기 보조 스트럿(130)은 폴리실리콘막, TiN막, Ti막 또는 이들의 조합으로 이루어지는 것이 바람직하다. 제1 실시예에서는 상기 보조 스트럿(130)이 그 내부가 완전히 채워진 콜럼 형상을 가진다.

<38> 도 3a, 도 3b 및 도 3d에서 알 수 있는 바와 같이, 상기 보조 스트럿(130)은 상기 멤브레인 형성용 박막(110)을 관통하여 형성되며, 따라서, 상기 보조 스트럿(130)은 상기 멤브레인 형성용 박막(110)의 제2면(110D)을 통하여 노출된다. 또한, 상기 보조 스트럿(130)은 상기 메인 스트럿(120)과 일부 중첩되도록 상기 경계 영역(110B) 위로 연장되어 있는 중첩부(130a)를 가진다.

<39> 상기 보조 스트럿(130)은 상기 멤브레인 형성용 박막(110)의 제1면(110C)으로부터 상기 제1면(110C)과 직교하는 방향으로 제1 길이(L_1) 만큼 연장되어 있으며, 상기 제1 길이(L_1)는 상기 메인 스트럿(120)의 길이(L_2)보다 작다.

<40> 상기 보조 스트럿(130)은 그 표면중 상기 멤브레인 형성용 박막(110)의 제2면(110D)을 통하여 노출되는 부분을 제외하고 보호막(132)으로 덮여 있다. 상기 보호막(132)은 상기 보조 스트럿(130)을 먼저 형성한 후 메인 스트럿(120)을 형성할 때, 식각 공정중에 상기 보조 스트럿(130)을 보호하기 위하여 형성하는 것이다. 예를 들면, 상기 보조 스트럿(130)이 폴리실리콘막으로 구성된 경우, 상기 보호막(132)은 Ti막, TiN막, 실리콘 질화막 또는 이들의 조합으로 구성하는 것이 바람직하다. 상기 메인 스트럿(120)이 실리콘막으로 구성되고 상기 보조 스트럿(130)이 TiN막 또는 Ti막으로 구성된 경우에는 상기 메인 스트럿(120)과 보조 스트럿(130)과의 사이에는 충분한 식각 선택비를 확보할 수 있으므로 상기 보호막(132)은 생략될 수 있다.

<41> 상기한 바와 같이, 본 발명에서는 상기 멤브레인 영역(110A)이 셀 블럭 단위로 구성되는 복수의 패턴 영역(114)에 대응하는 분할 멤브레인 영역(110Aa, 110Ab, 110Ac, 110Ad, 110Ae, 110Af)으로 나뉘어져 있으며, 각 멤브레인 영역(110A) 내에서 각 분할 멤브레인 영역(110Aa, 110Ab, 110Ac, 110Ad, 110Ae, 110Af)은 비패턴 영역(116)에 형성된 보조 스트럿(130)에 의하여 지지된다. 따라서, 메인 스트럿의 형태 및 배치와, 멤브레인 영역의 사이즈 및 종횡비를 제한할 필요가 없다. 또한, 통상의 스텐실 마스크의 경우에는 멤브레인 영역이 정방형의 격자 형태로 구성되나, 본 발명에 따른 멤브레인 영역(110A)은 통상의 정방형 격자 형태에 한정될 필요가 없으며, 형성하고자 하는 반도체 소자의 레이아웃에 따라 다양한 회로 패턴에 대응하여 여러가지 형태를 가질 수 있다. 그리고, 반도체 메모리 소자 또는 로직 소자의 레이아웃에 따라 보조 스트럿의 배치와 그 폭 및 길이를 다양하게 설계할 수 있어 다양한 칩 설계에 합치되는 주문형(customized) 스텐실 마스크 제작이 가능하다.

<42> 도 3a 내지 도 3d에 도시한 실시예에서는 상기 보조 스트럿(130)이 그 내부가 완전히 채워진 콜럼 형상을 가지는 것으로 설명하였으나, 본 발명에 따른 스텐실 마스크의 구성은 이에 한정되지 않는다.

<43> 도 4a 내지 도 4d는 본 발명의 제2 실시예에 따른 스텐실 마스크(200)를 설명하기 위한 도면들로서, 도 4a는 스텐실 마스크(200)의 요부를 도시한 평면도이고, 도 4b는 도 4a의 배면도이다. 또한, 도 4c 및 도 4d는 각각 도 4a 및 도 4b의 IVc - IVc'선 및 IVd - IVd'선 단면도이다.

<44> 본 발명의 제2 실시예에 따른 스텐실 마스크(200)의 구성에서는 멤브레인 형성용 박막(210)의 멤브레인 영역(210A)을 복수의 분할 멤브레인 영역(210Aa, 210Ab, 210Ac, 210Ad, 210Ae, 210Af)으로 나누면서 상기 각 분할 멤브레인 영역(210Aa, 210Ab, 210Ac, 210Ad, 210Ae,

210Af)을 지지하는 보조 스트럿(230)이 "U" 자형 단면 형상을 가진다. 이와 같은 구성을 위하여, 상기 보조 스트럿(230)의 표면중 상기 멤브레인 형성용 박막(210)을 통하여 노출되어 있는 표면의 일부(230a)가 리세스되어 있다. 상기 보조 스트럿(23)을 제외한 나머지 구성은 제1 실시예에서와 동일하다.

<45> 도 5는 본 발명에 따른 스텐실 마스크(300)중 메인 스트럿(320)에 의하여 지지되는 각 멤브레인 영역(312, 314, 316, 318)이 다양한 형태 및 배치를 가지는 보조 스트럿(330)에 의하여 복수의 분할 멤브레인 영역(314a, 314b), (316a, 316b, 316c, 316d) 및 (318a, 318b, 318c, 318d, 318e, 318f)으로 분할되어 지지되는 구성을 보여준다. 상기 보조 스트럿(330)은 필요에 따라 라인(line) 형태, 또는 라인 앤드 스페이스 (line and space) 형태를 포함한 다양한 형태로 구성될 수 있다.

<46> 도 6a 내지 도 6i는 본 발명의 제1 실시예에 따른 스텐실 마스크 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

<47> 도 6a를 참조하면, 기판(512), 산화막(514) 및 멤브레인 형성용 박막(520)이 차례로 적층된 복합막(500)을 준비한다. 상기 기판(512)이 실리콘 기판으로 구성되고, 상기 멤브레인 형성용 박막(520)이 실리콘 박막으로 구성되는 SOI (silicon on insulator) 기판을 상기 복합막(500)으로 사용할 수 있다.

<48> 상기 멤브레인 형성용 박막(520)은 상기 기판(512)에 대면하는 제1면(520a) 및 그 반대측 제2면(520b)을 가진다. 또한, 상기 기판(512)은 상기 멤브레인 형성용 박막(520)에 대면하는 제1면(512a) 및 그 반대측 제2면(512b)을 가진다. 상기 산화막(514)은 상기 멤브레인 형성용 박막(520)의 제1면(520a)과 상기 기판(512)의 제1면(512a)과의 사이에 개재되어 있다.

- <49> 상기 복합막(500)중 멤브레인 형성용 박막(520) 위에 실리콘 질화막 또는 실리콘 산화막으로 구성되는 하드 마스크층(532)을 형성하고, 상기 하드 마스크층(532) 위에 포토레지스트 패턴(534)을 형성한다. 상기 포토레지스트 패턴(534)은 약 10 ~ 100 μm 의 범위 내에서 선택되는 다양한 폭을 가지는 개구(534a)들을 통하여 상기 하드 마스크층(532)을 노출시킨다. 상기 개구(534a)는 라인 패턴 또는 라인 앤드 스페이스 패턴의 형태를 가질 수 있다.
- <50> 도 6b를 참조하면, 상기 포토레지스트 패턴(534)을 식각 마스크로 하여 상기 하드 마스크층(532)을 식각하여 상기 멤브레인 형성용 박막(520)을 노출시키는 하드 마스크 패턴(532a)을 형성한다. 이어서, 상기 하드 마스크 패턴(532a) 및 포토레지스트 패턴(534)을 식각 마스크로 하여 상기 멤브레인 형성용 박막(520), 산화막(514) 및 기판(512)을 식각하여 상기 기판(512)에 약 10 ~ 100 μm 의 범위 내에서 선택되는 다양한 폭을 가지는 트렌치(536a, 536b)를 형성한다. 상기 트렌치(536a, 536b)는 상기 기판(512)의 총 두께보다 작은 깊이를 가지도록 형성된다.
- <51> 도 6c를 참조하면, 상기 포토레지스트 패턴(534)을 제거한 후, 상기 트렌치(536a, 536b)의 내벽 및 상기 하드 마스크 패턴(532a)의 상면에 보호막(540)을 형성하고, 상기 보호막(540) 위에 상기 트렌치(536a, 536b)를 채우는 지지막(550)을 형성한다.
- <52> 상기 보호막(540)은 후속 공정에서 상기 기판(512)을 식각할 때 상기 지지막(550)을 보호하기 위하여 형성하는 것으로서, 예를 들면 Ti막, TiN막, 실리콘 질화막, 또는 이들의 조합막으로 이루어질 수 있다. 상기 지지막(550)은 보조 스트럿을 형성하는 데 필요한 것으로, 예를 들면, 폴리실리콘막, TiN막, Ti막, 또는 이들이 조합막으로 이루어질 수 있다. 상기 지지막(550)이 TiN막, Ti막, 또는 이들이 조합막으로 이루어진 경우, 상기 보호막(540)은 생략할 수 있다.

- <53> 이 때, 상기 트렌치(536a)와 같이 그 폭이 비교적 좁은 경우는 상기 트렌치(536a) 내부가 상기 지지막(550)에 의하여 완전히 채워지며, 상기 트렌치(536b)와 같이 그 폭이 비교적 넓은 경우는 상기 트렌치(536b) 내부중 일부만이 상기 지지막(550)으로 채워지게 된다.
- <54> 도 6d를 참조하면, CMP(chemical mechanical polishing) 또는 에치백 방법에 의하여 상기 트렌치(536a, 536b) 외부의 지지막(550)을 제거하여 상기 트렌치(536a, 536b) 내부에 보조 스트럿을 구성하는 지지막 패턴(550a, 550b)을 형성한다. 그 결과, 상기 트렌치(536a)에서는 상기 트렌치(536a) 내부를 완전히 채우는 콜럼 형상의 지지막 패턴(550a)이 형성되고, 상기 트렌치(536b)에서는 대략 "U"자형 단면 형상을 가지도록 그 표면의 일부(550c)가 리세스된 지지막 패턴(550b)이 얻어진다.
- <55> 상기 트렌치(536a, 536b) 외부의 지지막(550)을 제거하기 위하여 에치백 방법을 이용하는 경우에는, 상기 지지막 패턴(550b)의 리세스된 일부(550c)에 의하여 단차가 형성된 표면을 보호하기 위하여 에치백 공정을 이용하기 전에 FOX (flowable oxide)막 또는 SOG (spin on glass)막으로 이루어지는 희생막을 상기 지지막(550) 위에 먼저 형성한 상태에서 에치백 공정을 행한 후, 상기 희생막을 다시 제거한다.
- <56> 도 6e를 참조하면, 상기 기판(512)의 제2면(512b) 위에 포토레지스트 패턴(560)을 형성한다. 상기 포토레지스트 패턴(560)은 상기 멤브레인 형성용 박막(520)에 형성될 멤브레인 영역을 한정하도록 경계 영역 위에 형성된다.
- <57> 도 6f를 참조하면, 상기 포토레지스트 패턴(560)을 식각 마스크로 하여 상기 기판(512)을 식각한다. 그 결과, 상기 기판(512)중 상기 멤브레인 형성용 박막(520)의 멤브레인 영역(522) 위에 있는 부분만 제거되고, 상기 기판(512)중 제거되지 않고 남아 있는 부분에 의하여

상기 경계 영역(524) 위에서 상기 멤브레인 영역(522)을 지지하는 메인 스트럿(512a)이 형성된다.

<58> 도 6g를 참조하면, 상기 포토레지스트 패턴(560)을 제거한 후, 상기 습식 또는 건식 식각 방법에 의하여 상기 산화막(514), 상기 보호막(540)의 노출 부분 및 상기 하드 마스크 패턴(532a)을 제거하고 평탄화 공정을 거쳐 상기 멤브레인 형성용 박막(520)의 제2면(520b)을 노출시킨다. 그 결과, 복수의 멤브레인 영역(522)이 메인 스트럿(512a)에 의하여 지지되며, 상기 각 멤브레인 영역(522)의 비패턴 영역에 형성된 상기 지지막 패턴(550a, 550b)으로 구성되는 보조 스트럿에 의하여 상기 각 멤브레인 영역(522)이 복수의 분할 멤브레인 영역(522a, 522b)으로 나뉘어지고, 상기 각 분할 멤브레인 영역(522a, 522b)이 각각 상기 지지막 패턴(550a, 550b)으로 구성되는 보조 스트럿에 의하여 지지되는 구조가 얻어진다. 상기 분할 멤브레인 영역(522a, 522b)은 각각 하전된 입자선에 의하여 전사될 패턴이 형성되는 패턴 영역을 구성하게 된다. 여기서, 상기 지지막 패턴(550a, 550b)으로 구성되는 보조 스트럿은 상기 멤브레인 형성용 박막(520)의 제1면(520a)으로부터의 연장 길이(L_3)가 상기 메인 스트럿(512a)의 길이(L_4) 보다 더 작다.

<59> 도 6h를 참조하면, 상기 분할 멤브레인 영역(522a, 522b)의 패턴 영역에 하전된 입자선에 의하여 전사될 패턴을 형성하기 위하여, 먼저 상기 멤브레인 형성용 박막(520)의 제2면(520b) 위에 상기 분할 멤브레인 영역(522a, 522b)의 일부를 노출시키는 포토레지스트 패턴(570)을 형성한다.

- <60> 도 6i를 참조하면, 상기 포토레지스트 패턴(570)을 식각 마스크로 하여 상기 분할 멤브레인 영역(522a, 522b)에서 상기 멤브레인 형성용 박막(520)을 식각하여 상기 멤브레인 형성용 박막(520)을 관통하는 복수의 개구(526)를 형성한다.
- <61> 도 7a 내지 도 7i는 본 발명의 제2 실시예에 따른 스텐실 마스크 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다. 제2 실시예는 보조 스트럿을 형성하기 전에 멤브레인 영역 내부의 패턴 영역에 전사 패턴을 형성하기 위하여 멤브레인 형성용 박막을 관통하는 개구를 먼저 형성하는 것을 제외하고 제1 실시예와 대체로 비슷하다. 따라서, 제2 실시예에 따른 스텐실 마스크 제조 방법에서는 제1 실시예에서와 대응되는 부분에 대한 자세한 설명은 생략한다.
- <62> 도 7a를 참조하면, 기판(612), 산화막(614) 및 멤브레인 형성용 박막(620)이 차례로 적층된 복합막(600)을 준비한다. 상기 복합막(600)이 SOI 기판으로 구성된 경우, 상기 기판(612)은 실리콘 기판으로 구성되고, 상기 멤브레인 형성용 박막(620)은 실리콘 박막으로 구성된다.
- <63> 그 후, 상기 멤브레인 형성용 박막(620)에서 패턴 영역 및 이들 사이에 위치되는 비패턴 영역을 가지는 복수의 멤브레인 영역과, 이들을 한정하는 경계 영역을 예정이다. 상기 패턴 영역에 전사 패턴을 형성하기 위하여, 상기 멤브레인 형성용 박막(620) 위에 포토레지스트 패턴(630)을 형성하고, 이를 식각 마스크로 하여 상기 멤브레인 형성용 박막(620)을 식각하여 상기 멤브레인 형성용 박막(620)을 관통하는 복수의 개구(626)를 형성한다.
- <64> 도 7b를 참조하면, 상기 포토레지스트 패턴(630)을 제거한다. 그 후, 상기 개구(626) 내부 및 멤브레인 형성용 박막(620) 위에 실리콘 질화막 또는 실리콘 산화막으로 구성되는 하드 마스크층(632)을 형성한다.

- <65> 도 7c를 참조하면, 상기 하드 마스크층(632) 위에 포토레지스트 패턴(634)을 형성한다. 상기 포토레지스트 패턴(634)은 약 10 ~ 100 μm 의 범위 내에서 선택되는 다양한 폭을 가지는 개구들을 통하여 상기 하드 마스크층(632)을 노출시킨다. 상기 포토레지스트 패턴(634)을 식각 마스크로 하여 상기 하드 마스크층(632)을 식각하여 상기 멤브레인 형성용 박막(620)의 비패턴 영역을 노출시키는 동시에 패턴 영역 및 경계 영역을 덮는 하드 마스크 패턴(632a)을 형성한다.
- <66> 도 7d를 참조하면, 상기 하드 마스크 패턴(632a) 및 포토레지스트 패턴(634)을 식각 마스크로 하여 상기 멤브레인 형성용 박막(620), 산화막(614) 및 기판(612)을 식각하여 상기 기판(612)에 약 10 ~ 100 μm 의 범위 내에서 선택되는 다양한 폭을 가지는 트렌치(636a, 636b)를 형성한다. 상기 트렌치(636a, 636b)는 상기 기판(612)의 총 두께보다 작은 깊이를 가지도록 형성된다.
- <67> 도 7e를 참조하면, 상기 포토레지스트 패턴(634)을 제거한 후, 상기 트렌치(636a, 636b)의 내벽 및 상기 하드 마스크 패턴(632a)의 상면에 보호막(640)을 형성하고, 상기 보호막(640) 위에 상기 트렌치(636a, 636b)를 채우는 지지막(650)을 형성한다.
- <68> 상기 보호막(640)은 예를 들면 Ti막, TiN막, 실리콘 질화막, 또는 이들의 조합막으로 이루어질 수 있다. 상기 지지막(650)은 예를 들면, 폴리실리콘막, TiN막, Ti막, 또는 이들이 조합막으로 이루어질 수 있다. 상기 지지막(650)이 TiN막, Ti막, 또는 이들이 조합막으로 이루어진 경우, 상기 보호막(640)은 생략할 수 있다.
- <69> 이 때, 상기 트렌치(636a)와 같이 그 폭이 비교적 좁은 경우는 상기 트렌치(636a) 내부가 상기 지지막(650)에 의하여 완전히 채워지며, 상기 트렌치(636b)와 같이 그 폭이 비교적 넓은 경우는 상기 트렌치(636b) 내부중 일부만이 상기 지지막(650)으로 채워지게 된다.

- <70> 도 7f를 참조하면, CMP 또는 에치백 방법에 의하여 상기 트렌치(636a, 636b) 외부의 지지막(650)을 제거하여 상기 트렌치(636a, 636b) 내부에 보조 스트럿을 구성하는 지지막 패턴(650a, 650b)을 형성한다. 그 결과, 상기 트렌치(636a)에서는 상기 트렌치(636a) 내부를 완전히 채우는 콜럼 형상의 지지막 패턴(650a)이 형성되고, 상기 트렌치(636b)에서는 대략 "U"자형 단면 형상을 가지도록 그 표면의 일부(650c)가 리세스된 지지막 패턴(650b)이 얻어진다.
- <71> 도 7g를 참조하면, 상기 기판(612)중 상기 멤브레인 형성용 박막(620)을 대면하는 면의 반대측 표면 위에 포토레지스트 패턴(660)을 형성한다. 상기 포토레지스트 패턴(660)은 상기 멤브레인 형성용 박막(620)에 형성될 멤브레인 영역을 한정하는 경계 영역 위에 형성된다.
- <72> 도 7h를 참조하면, 상기 포토레지스트 패턴(660)을 식각 마스크로 하여 상기 기판(612)을 식각한다. 그 결과, 상기 기판(612)중 상기 멤브레인 형성용 박막(620)의 멤브레인 영역(622) 위에 있는 부분만 제거되고, 상기 기판(612)중 제거되지 않고 남아 있는 부분에 의하여 상기 경계 영역(624) 위에서 상기 멤브레인 영역(622)을 지지하는 메인 스트럿(612a)이 형성된다. 상기 포토레지스트 패턴(660)은 제거한다.
- <73> 도 7i를 참조하면, 습식 또는 건식 식각 방법에 의하여 상기 산화막(614), 상기 보호막(640)의 노출 부분 및 상기 하드 마스크 패턴(632a)을 제거하고 평탄화 공정을 거쳐 상기 멤브레인 형성용 박막(620)을 노출시킨다. 그 결과, 멤브레인 영역(622)이 메인 스트럿(612a)에 의하여 지지되며, 상기 멤브레인 영역(622)의 비패턴 영역에 형성된 상기 지지막 패턴(650a, 650b)으로 구성되는 보조 스트럿에 의하여 상기 멤브레인 영역(622)이 복수의 분할 멤브레인 영역(622a, 622b, 622c, 622d)으로 나뉘어지고, 상기 각 분할 멤브레인 영역(622a, 622b, 622c, 622d)이 각각 상기 지지막 패턴(550a, 550b)으로 구성되는 보조 스트럿에 의하여 지지되는 구조가 얻어진다. 상기 분할 멤브레인 영역(622a, 622b, 622c, 622d)은 각각 상기 개구

(626)에 의하여 형성되는 전사 패턴이 형성된 패턴 영역을 구성하게 된다. 여기서, 상기 지지막 패턴(650a, 650b)으로 구성되는 보조 스트럿은 상기 멤브레인 형성용 박막(620)의 제1면(620a)으로부터의 연장 길이(L_5)가 상기 메인 스트럿(612a)의 길이(L_6) 보다 더 작다.

【발명의 효과】

<74> 본 발명에 따른 스텐실 마스크는 메인 스트럿에 의하여 한정되는 멤브레인 영역 내에 다양한 형태 및 배치를 갖는 보조 스트럿이 형성되어 있다. 따라서, 멤브레인 영역이 메인 스트럿과 보조 스트럿에 의하여 지지된다. 본 발명에 따른 스텐실 마스크는 반도체 메모리 소자의 셀 어레이 영역과 같이 국소적으로 패턴이 밀집되어 있는 영역을 패터닝하고자 할 때 특히 효과적으로 사용될 수 있다. 즉, 통상의 스트럿 즉 메인 스트럿이 지지하는 비교적 큰 사이즈의 멤브레인 영역 내에서 반도체 메모리 소자중 셀 어레이 영역을 제외한 나머지 영역에서 패턴이 존재하지 않는 영역을 멤브레인 형태로 남기지 않고 그 영역에 보조 스트럿을 형성함으로써 멤브레인 영역이 비교적 크게 한정된 경우에도 멤브레인이 변형 또는 왜곡되는 것을 방지할 수 있고, 그에 따라 이미지 배치 에러를 최소화할 수 있으며 패턴의 위치 정밀도가 저하되는 것을 방지할 수 있다.

<75> 또한, 반도체 메모리 소자 또는 로직 소자의 레이아웃에 따라 보조 스트럿의 배치와 그 폭 및 길이를 다양하게 설계할 수 있어 메인 스트럿의 형태 및 배치와, 멤브레인 영역의 사이즈 및 종횡비를 제한하지 않고도 다양한 칩 설계에 합치되는 주문형(customized) 스텐실 마스크 제작이 가능하다.

<76> 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

>

【특허청구범위】**【청구항 1】**

하전된 입자선이 투과할 수 있도록 개구가 형성되어 있는 복수의 패턴 영역 및 이들 사이에 위치되는 비패턴 영역을 가지는 멤브레인 영역과, 상기 멤브레인 영역을 한정하는 경계 영역을 포함하는 멤브레인 형성용 박막과,

상기 멤브레인 영역을 지지할 수 있도록 상기 멤브레인 형성용 박막의 경계 영역 위에 형성되어 있는 메인 스트럿과,

상기 멤브레인 영역이 복수의 분할 멤브레인 영역으로 나누어지도록 상기 멤브레인 영역 내의 비패턴 영역에 형성되어 상기 각 분할 멤브레인 영역을 지지하는 보조 스트럿을 포함하는 것을 특징으로 하는 스텐실 마스크.

【청구항 2】

제1항에 있어서,

상기 보조 스트럿은 상기 멤브레인 형성용 박막을 관통하여 형성된 것을 특징으로 하는 스텐실 마스크.

【청구항 3】

제1항에 있어서,

상기 멤브레인 형성용 박막은 상기 메인 스트럿과 대면하고 있는 제1면과 그 반대측 제2면을 가지고,

상기 보조 스트럿은 상기 제2면을 통하여 노출되어 있는 표면을 가지는 것을 특징으로 하는 스텐실 마스크.

【청구항 4】

제1항에 있어서,

상기 보조 스트럿은 상기 멤브레인 형성용 박막의 제1면으로부터 상기 제1면과 직교하는 방향으로 제1 길이 만큼 연장되어 있으며, 상기 제1 길이는 상기 메인 스트럿의 길이보다 작은 것을 특징으로 하는 스텐실 마스크.

【청구항 5】

제1항에 있어서,

상기 보조 스트럿은 상기 메인 스트럿과 일부 중첩되도록 상기 경계 영역 위로 연장되어 있는 중첩부를 가지는 것을 특징으로 하는 스텐실 마스크.

【청구항 6】

제1항에 있어서,

상기 멤브레인 형성용 박막은 실리콘막으로 이루어지고,

상기 보조 스트럿은 폴리실리콘막, TiN막, Ti막 또는 이들의 조합으로 이루어지는 것을 특징으로 하는 스텐실 마스크.

【청구항 7】

제1항에 있어서,

상기 보조 스트럿의 적어도 일부를 덮고 있는 보호막을 더 포함하는 것을 특징으로 하는 스텐실 마스크.

【청구항 8】

제1항에 있어서,

상기 멤브레인 형성용 박막은 상기 메인 스트럿이 형성되어 있는 제1면과, 상기 보조 스트럿의 제1 표면을 노출시키는 제2면을 가지며,

상기 보호막은 상기 보조 스트럿의 제1 표면을 제외한 나머지 표면을 덮고 있는 것을 특징으로 하는 스텐실 마스크.

【청구항 9】

제1항에 있어서,

상기 보호막은 Ti막, TiN막, 실리콘 질화막 또는 이들의 조합으로 이루어지는 것을 특징으로 하는 스텐실 마스크.

【청구항 10】

제1항에 있어서, 상기 멤브레인 형성용 박막의 경계 영역과 상기 메인 스트럿과의 사이에 개재되어 있는 산화막을 더 포함하는 것을 특징으로 하는 스텐실 마스크.

【청구항 11】

제1항에 있어서,

상기 보조 스트럿은 그 내부가 완전히 채워진 콜럼 형상을 가지는 것을 특징으로 하는 스텐실 마스크.

【청구항 12】

제1항에 있어서,

상기 멤브레인 형성용 박막은 상기 메인 스트럿과 대면하고 있는 제1면과, 상기 보조 스트럿의 제1 표면을 일부 노출시키는 제2면을 가지고,

상기 보조 스트럿이 "U" 자형 단면 형상을 가지도록 상기 제1 표면의 일부가 리세스되어 있는 것을 특징으로 하는 스텐실 마스크.

【청구항 13】

제1항에 있어서,

상기 보조 스트럿은 상기 멤브레인 영역이 셀 블록 단위로 구분되는 복수의 분할 멤브레인 영역으로 나누어지도록 상기 비패턴 영역에 형성되어 있는 것을 특징으로 하는 스텐실 마스크.

【청구항 14】

하전된 입자선에 의하여 전사될 패턴을 형성하기 위한 복수의 패턴 영역과, 상기 각 패턴 영역 사이에 위치되는 비패턴 영역을 각각 포함하는 복수의 멤브레인 영역과, 상기 멤브레인 영역을 한정하는 경계 영역을 포함하고 제1면 및 그 반대측 제2면을 가지는 멤브레인 형성용 박막, 상기 멤브레인 형성용 박막에 대면하는 제1면 및 그 반대측 제2면을 가지는 기판, 그리고 상기 멤브레인 형성용 박막의 제1면과 상기 기판과의 사이에 개재되어 있는 산화막을 포함하는 복합막을 준비하는 단계와,

상기 비패턴 영역에서 상기 멤브레인 형성용 박막의 제2면으로부터 상기 복합막을 식각하여 트렌치를 형성하는 단계와,

상기 트렌치 내에 지지막을 채워 보조 스트럿을 형성하는 단계와,

상기 기판중 상기 멤브레인 영역에 있는 부분만을 제거하여 상기 경계 영역에서 상기 멤브레인 영역을 지지하는 메인 스트럿을 형성하는 단계를 포함하는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 15】

제14항에 있어서,

상기 지지막은 폴리실리콘막, TiN막, Ti막 또는 이들의 조합막으로 이루어지는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 16】

제14항에 있어서,

상기 보조 스트럿이 콜럼 형상을 가지도록 상기 지지막은 상기 트렌치를 완전히 채우는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 17】

제14항에 있어서,

상기 지지막은 상기 멤브레인 형성용 박막의 제2면을 통하여 노출되는 제1 표면을 가지며, 상기 보조 스트럿이 "U"자형 단면 형상을 가지도록 상기 제1 표면의 일부가 리세스되어 있는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 18】

제14항에 있어서,

상기 메인 스트럿을 형성하는 단계는 상기 보조 스트럿이 형성된 후 행해지는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 19】

제14항에 있어서,

상기 보조 스트럿을 형성하는 단계는

상기 트렌치 내벽에 보호막을 형성하는 단계와,

상기 보호막 위에 상기 지지막을 형성하는 단계를 포함하는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 20】

제19항에 있어서,

상기 보호막은 Ti막, TiN막, 실리콘 질화막 또는 이들의 조합막으로 이루어지는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 21】

제20항에 있어서,

상기 지지막은 폴리실리콘막으로 이루어지는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 22】

제19항에 있어서,

상기 보조 스트럿이 콜럼 형상을 가지도록 상기 지지막은 상기 보호막 위에서 상기 트렌치를 완전히 채우는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 23】

제19항에 있어서,

상기 지지막은 상기 멤브레인 형성용 박막의 제2면을 통하여 노출되는 제1 표면을 가지며, 상기 보조 스트럿이 "U"자형 단면 형상을 가지도록 상기 제1 표면의 일부가 리세스되어 있는 것을 특징으로 하는 스텐실 마스크 제조 방법.



【청구항 24】

제19항에 있어서,

상기 메인 스트럿을 형성하는 단계에서는 상기 멤브레인 형성용 박막이 노출될 때까지 상기 보호막 주위의 상기 기판 및 산화막을 제거하는 단계를 포함하는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 25】

제14항에 있어서,

상기 멤브레인 영역의 패턴 영역에 전사 패턴이 형성되도록 상기 멤브레인 형성용 박막을 관통하는 개구를 형성하는 단계를 더 포함하는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 26】

제25항에 있어서,

상기 개구를 형성하는 단계는 상기 보조 스트럿 및 메인 스트럿이 형성된 후 행해지는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 27】

제25항에 있어서,

상기 개구를 형성하는 단계는 상기 보조 스트럿 및 메인 스트럿을 형성하기 전에 행해지는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 28】

기판, 산화막 및 실리콘 박막이 차례로 적층된 SOI 기판을 준비하는 단계와,

상기 실리콘 박막 위에 상기 실리콘 박막을 일부 노출시키는 제1 마스크 패턴을 형성하는 단계와,

상기 제1 마스크 패턴을 식각 마스크로 하여 실리콘 박막, 산화막 및 기판을 식각하여 트렌치를 형성하는 단계와,

상기 트렌치 내에 지지막을 채워 보조 스트럿을 형성하는 단계와,

상기 기판중 상기 산화막에 대면하는 면의 반대측 면에 제2 마스크 패턴을 형성하는 단계와,

상기 제2 마스크 패턴을 식각 마스크로 하여 상기 기판을 식각하여 상기 실리콘 박막의 멤브레인 영역을 한정하는 메인 스트럿을 형성하는 단계와,

상기 멤브레인 영역에서 상기 보조 스트럿에 의하여 한정되는 패턴 영역 내에 전사 패턴이 형성되도록 상기 실리콘 박막을 관통하는 개구를 형성하는 단계를 포함하는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 29】

제28항에 있어서,

상기 제1 마스크 패턴은 하드 마스크 패턴과, 상기 하드 마스크 패턴을 덮는 포토레지스트 패턴으로 이루어지는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 30】

제28항에 있어서,

상기 트렌치 형성 단계에서는 상기 기판을 상기 기판의 총 두께보다 작은 제1 깊이까지 식각하는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 31】

제28항에 있어서,

상기 지지막은 폴리실리콘막, TiN막, Ti막 또는 이들의 조합막으로 이루어지는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 32】

제28항에 있어서,

상기 보조 스트럿이 콜럼 형상을 가지도록 상기 지지막은 상기 트렌치를 완전히 채우는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 33】

제28항에 있어서,

상기 지지막은 상기 실리콘 박막을 통하여 노출되는 제1 표면을 가지며, 상기 보조 스트럿이 "U"자형 단면 형상을 가지도록 상기 제1 표면의 일부가 리세스되어 있는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 34】

제28항에 있어서,

상기 보조 스트럿을 형성하는 단계는

상기 트렌치 내벽에 보호막을 형성하는 단계와,

상기 보호막 위에 상기 지지막을 형성하는 단계를 포함하는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 35】

제34항에 있어서,

상기 보호막은 Ti막, TiN막, 실리콘 질화막 또는 이들의 조합막으로 이루어지는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 36】

제35항에 있어서,

상기 지지막은 폴리실리콘막으로 이루어지는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 37】

제34항에 있어서,

상기 보조 스트럿이 콜럼 형상을 가지도록 상기 지지막은 상기 보호막 위에서 상기 트랜치를 완전히 채우는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 38】

제34항에 있어서,

상기 지지막은 상기 실리콘 박막을 통하여 노출되는 제1 표면을 가지며, 상기 보조 스트럿이 "U"자형 단면 형상을 가지도록 상기 제1 표면의 일부가 리세스되어 있는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 39】

기판, 산화막 및 실리콘 박막이 차례로 적층된 SOI 기판을 준비하는 단계와,

상기 실리콘 박막에서 패턴 영역 및 이들 사이에 위치되는 비패턴 영역을 가지는 복수의 멤브레인 영역과 이들을 한정하는 경계 영역을 예정하는 단계와,

상기 패턴 영역에 전사 패턴이 형성되도록 상기 실리콘 박막을 관통하는 개구를 형성하는 단계와,

상기 비패턴 영역에서 상기 실리콘 박막을 노출시키도록 상기 개구가 형성된 패턴 영역 및 경계 영역을 덮는 제1 마스크 패턴을 형성하는 단계와,

상기 제1 마스크 패턴을 식각 마스크로 하여 실리콘 박막, 산화막 및 기판을 식각하여 상기 비패턴 영역에 트렌치를 형성하는 단계와,

상기 트렌치 내에 지지막을 채워 보조 스트럿을 형성하는 단계와,

상기 기판중 상기 산화막에 대면하는 면의 반대측 면에 제2 마스크 패턴을 형성하는 단계와,

상기 제2 마스크 패턴을 식각 마스크로 하여 상기 기판을 식각하여 상기 경계 영역에 상기 멤브레인 영역을 한정하는 메인 스트럿을 형성하는 단계를 포함하는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 40】

제39항에 있어서,

상기 제1 마스크 패턴은 하드 마스크 패턴과, 상기 하드 마스크 패턴을 덮는 포토레지스트 패턴으로 이루어지는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 41】

제39항에 있어서,

상기 트렌치 형성 단계에서는 상기 기판을 상기 기판의 총 두께보다 작은 제1 깊이까지 식각하는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 42】

제39항에 있어서,

상기 지지막은 폴리실리콘막, TiN막, Ti막 또는 이들의 조합막으로 이루어지는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 43】

제39항에 있어서,

상기 보조 스트럿이 콜럼 형상을 가지도록 상기 지지막은 상기 트렌치를 완전히 채우는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 44】

제39항에 있어서,

상기 지지막은 상기 실리콘 박막을 통하여 노출되는 제1 표면을 가지며, 상기 보조 스트럿이 "U"자형 단면 형상을 가지도록 상기 제1 표면의 일부가 리세스되어 있는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 45】

제39항에 있어서,

상기 보조 스트럿을 형성하는 단계는

상기 트렌치 내벽에 보호막을 형성하는 단계와,

상기 보호막 위에 상기 지지막을 형성하는 단계를 포함하는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 46】

제45항에 있어서,

상기 보호막은 Ti막, TiN막, 실리콘 질화막 또는 이들의 조합막으로 이루어지는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 47】

제46항에 있어서,

상기 지지막은 폴리실리콘막으로 이루어지는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【청구항 48】

제45항에 있어서,

상기 보조 스트럿이 콜럼 형상을 가지도록 상기 지지막은 상기 보호막 위에서 상기 트렌치를 완전히 채우는 것을 특징으로 하는 스텐실 마스크 제조 방법.

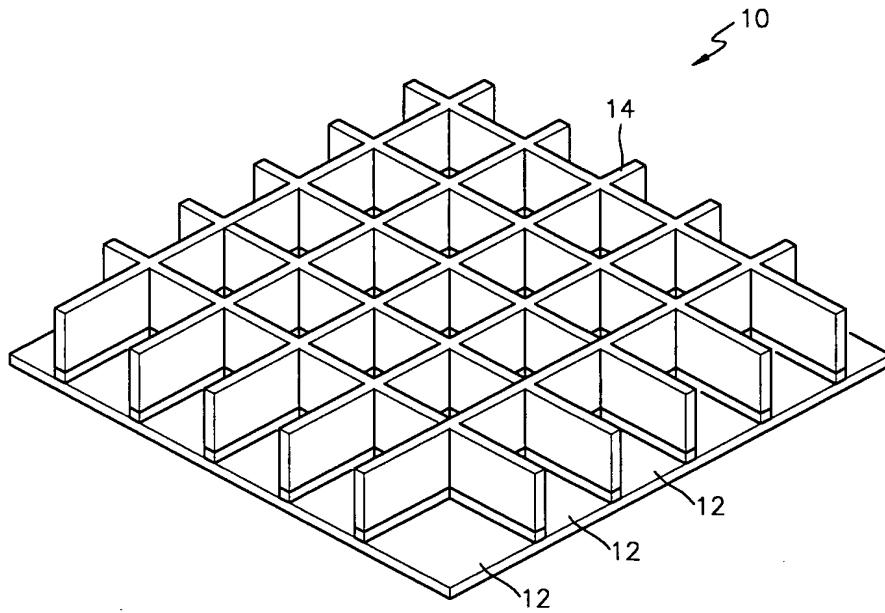
【청구항 49】

제45항에 있어서,

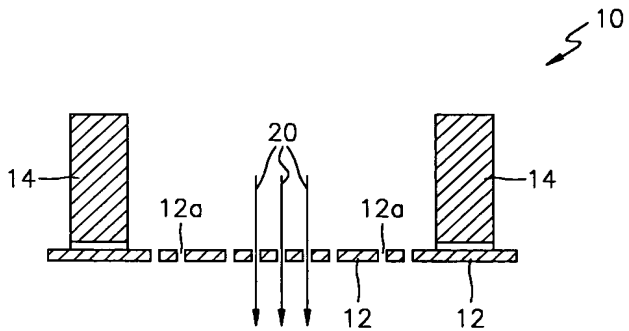
상기 지지막은 상기 실리콘 박막을 통하여 노출되는 제1 표면을 가지며, 상기 보조 스트럿이 "U"자형 단면 형상을 가지도록 상기 제1 표면의 일부가 리세스되어 있는 것을 특징으로 하는 스텐실 마스크 제조 방법.

【도면】

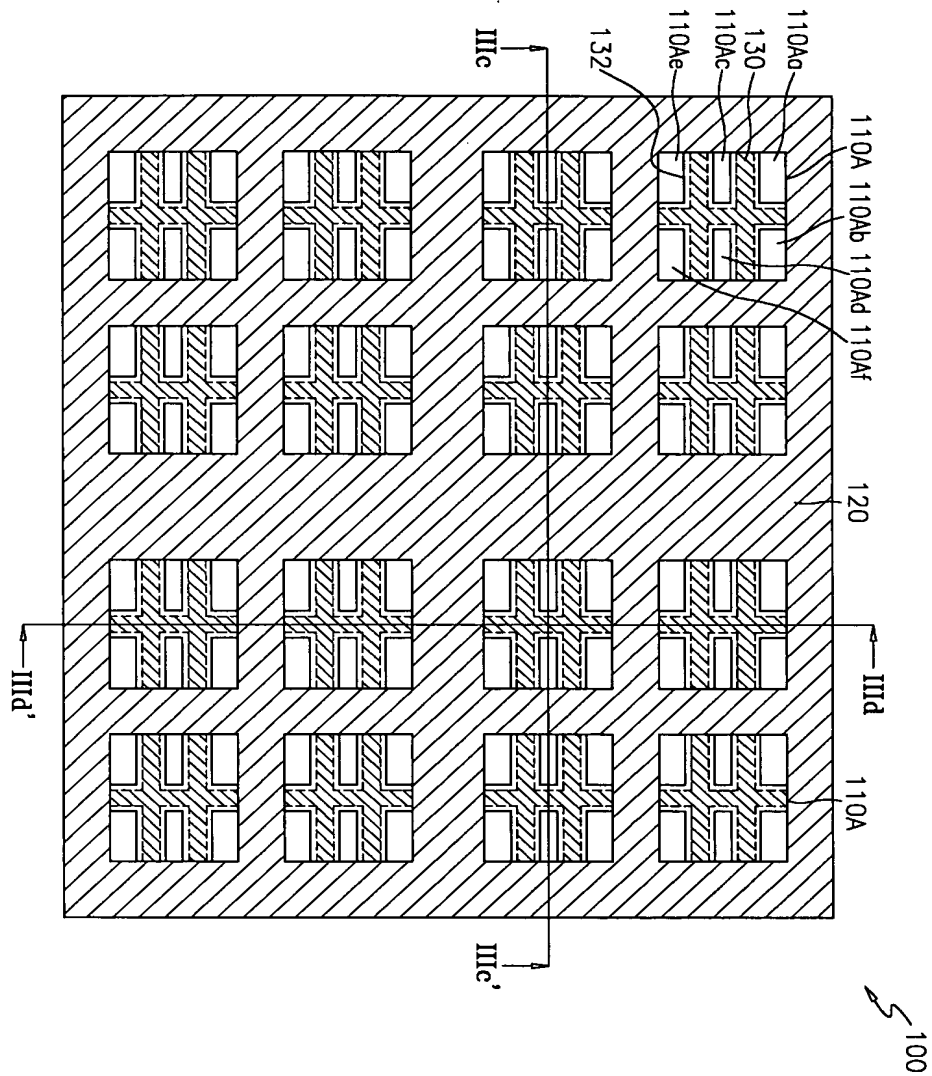
【도 1】



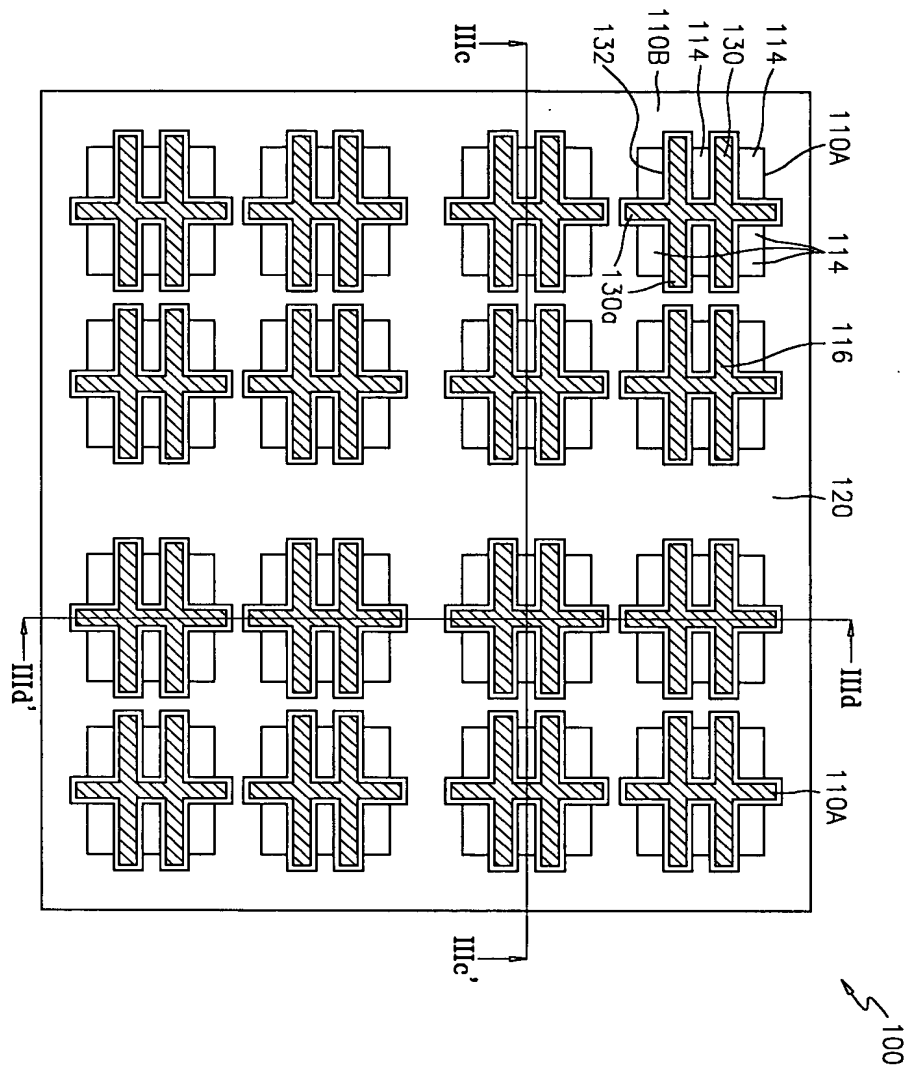
【도 2】



【도 3a】



【도 3b】



【도 3c】

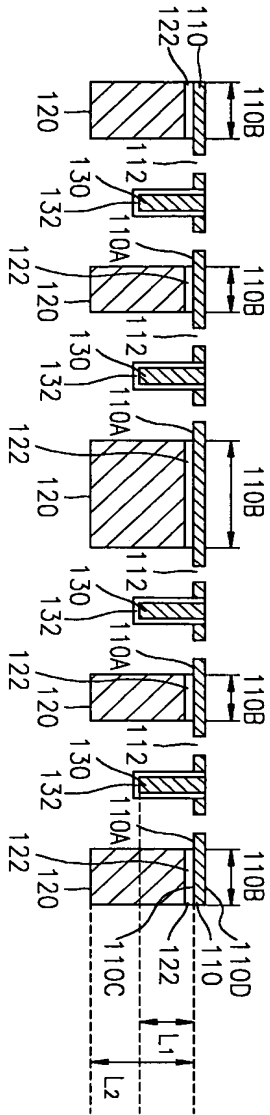
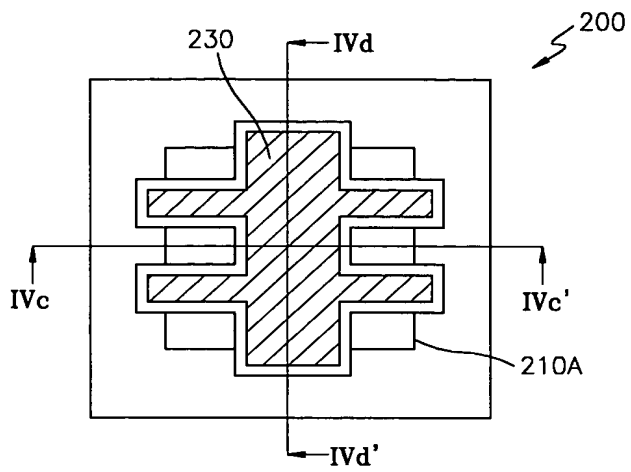
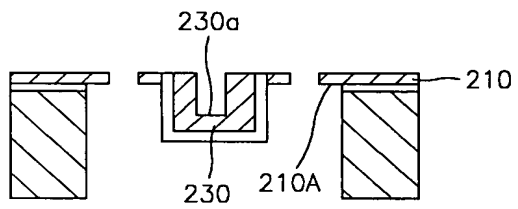


FIG. 6 shows a cross-sectional view of a semiconductor device with four repeating unit structures. Each unit consists of a substrate 120, a gate stack 130, and a channel layer 132. The gate stacks are separated by spacers 110B. The channel layers are connected by a common source/drain region 110C. Dimensions L1 and L2 are indicated.

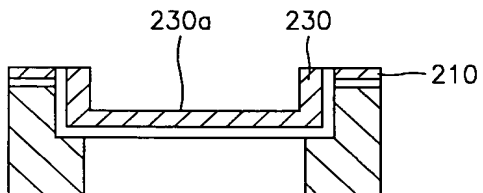
【도 4b】



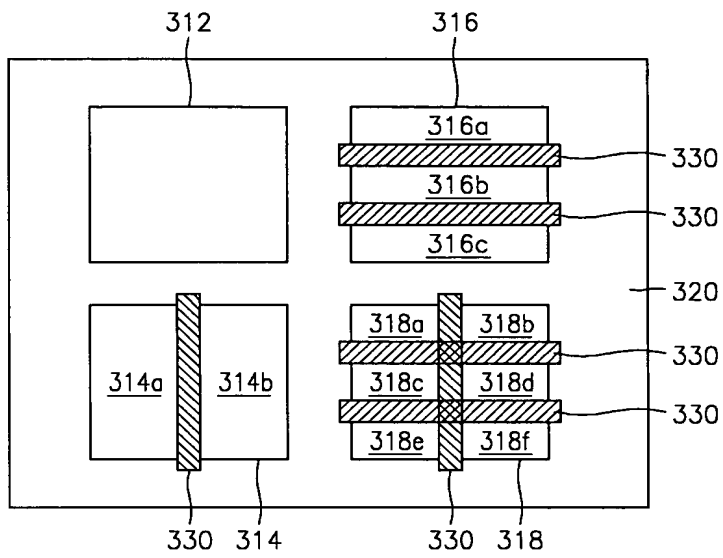
【도 4c】



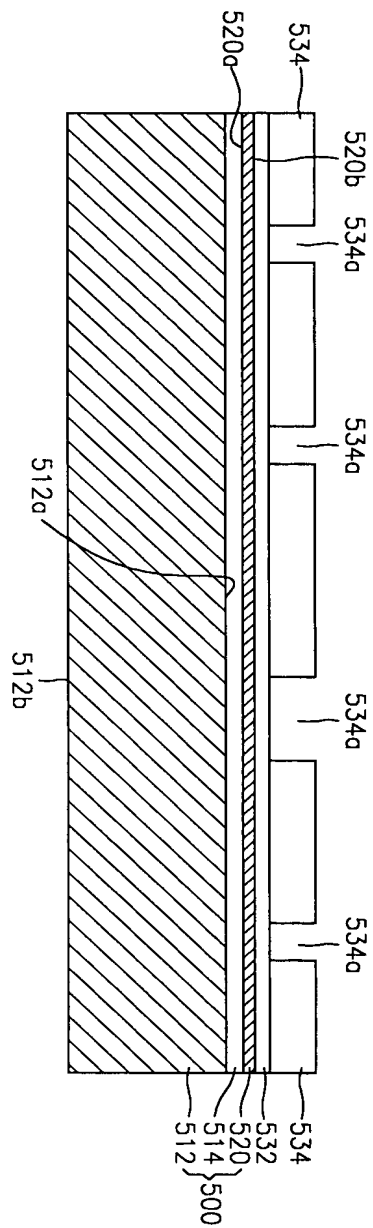
【도 4d】



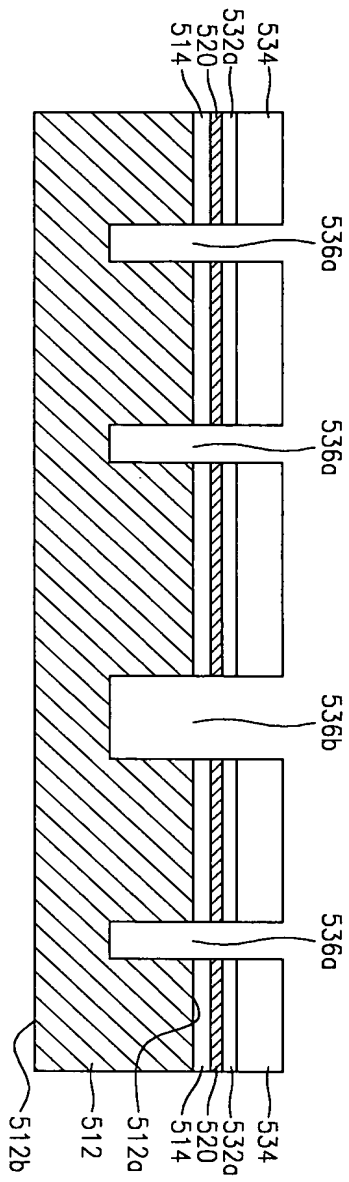
【도 5】



【도 6a】

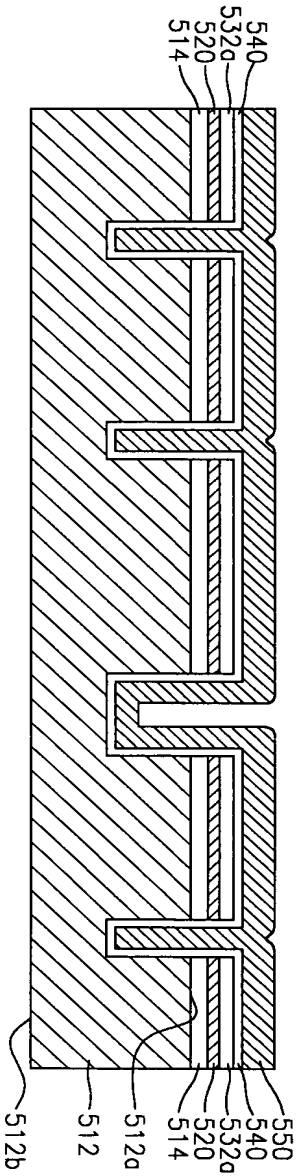


【도 6b】

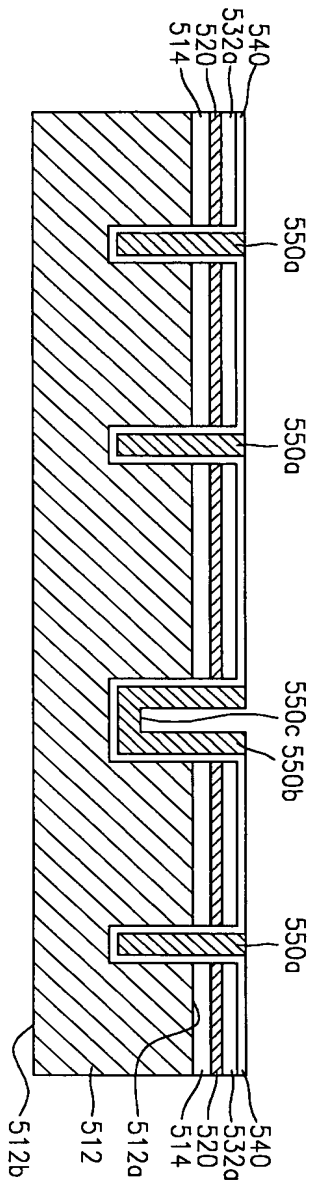




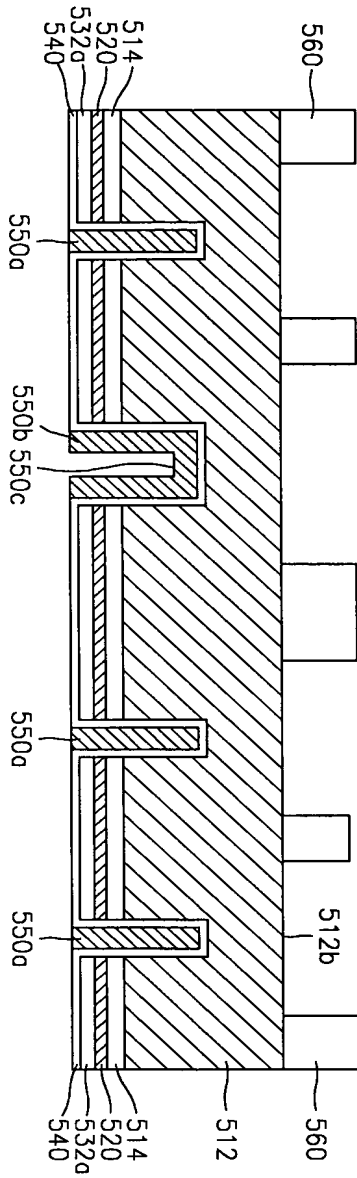
【도 6c】



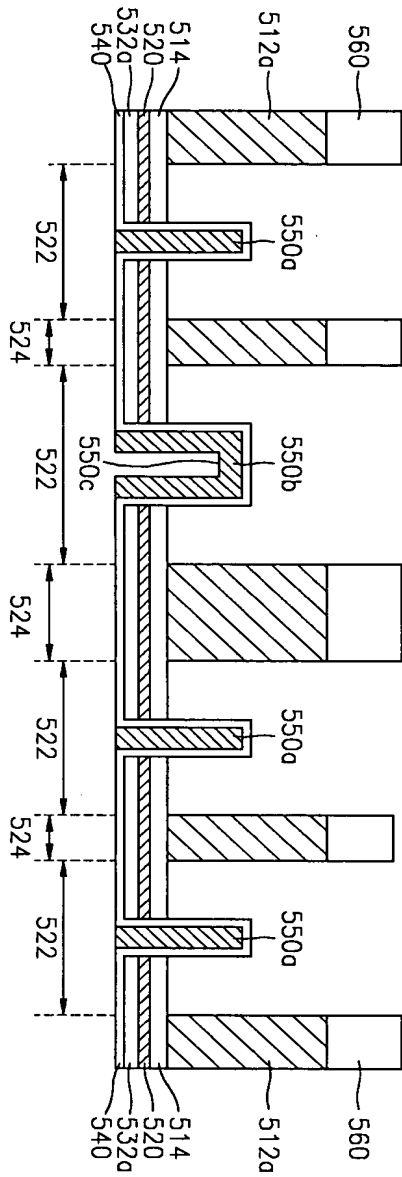
【도 6d】



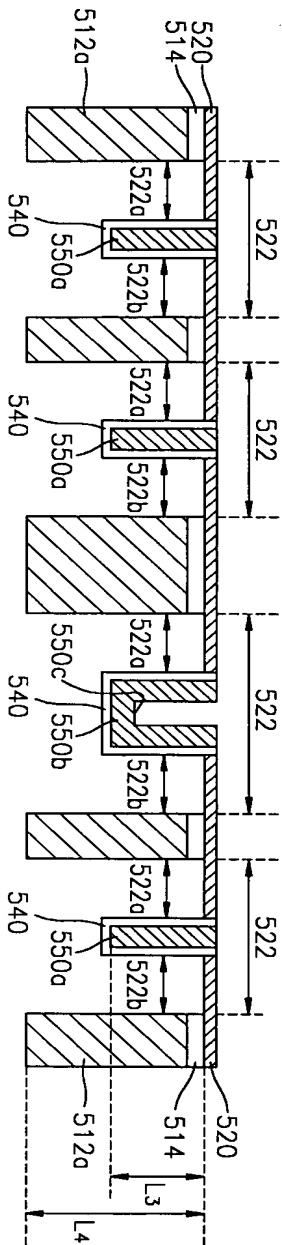
【도 6e】



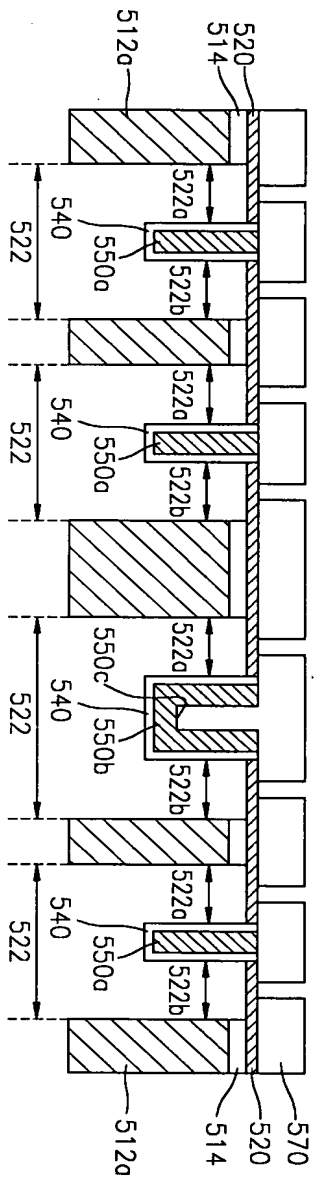
【도 6f】



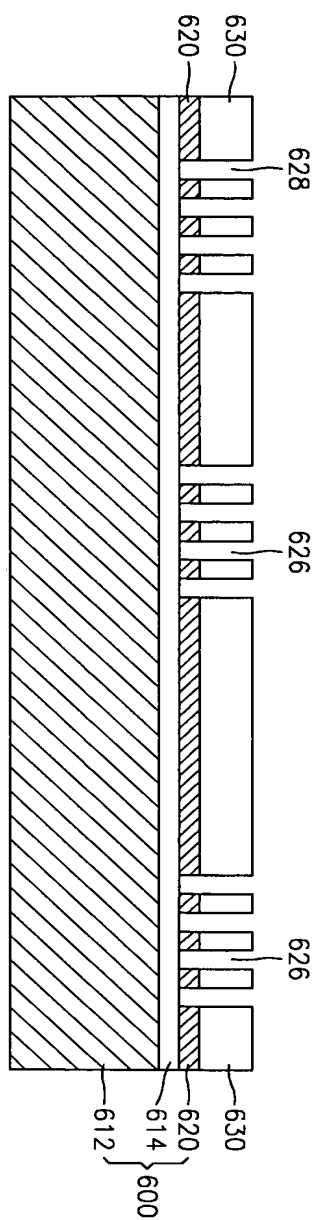
【도 6g】



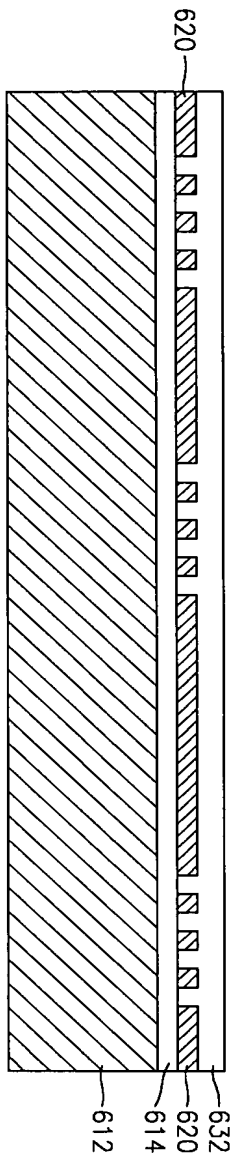
【도 6h】



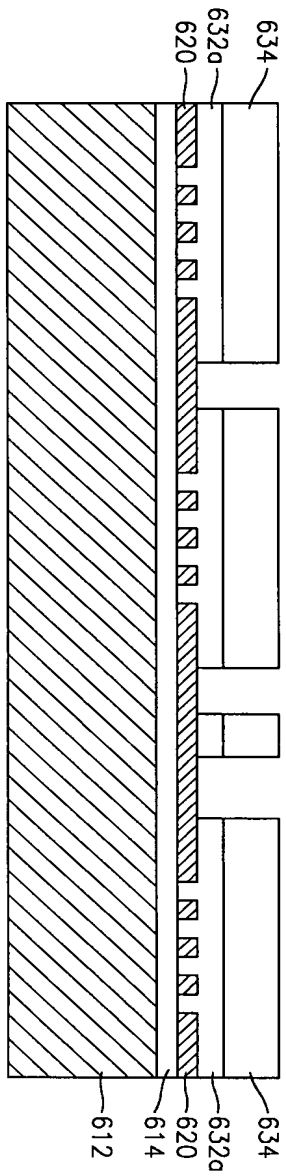
【도 7a】



【도 7b】

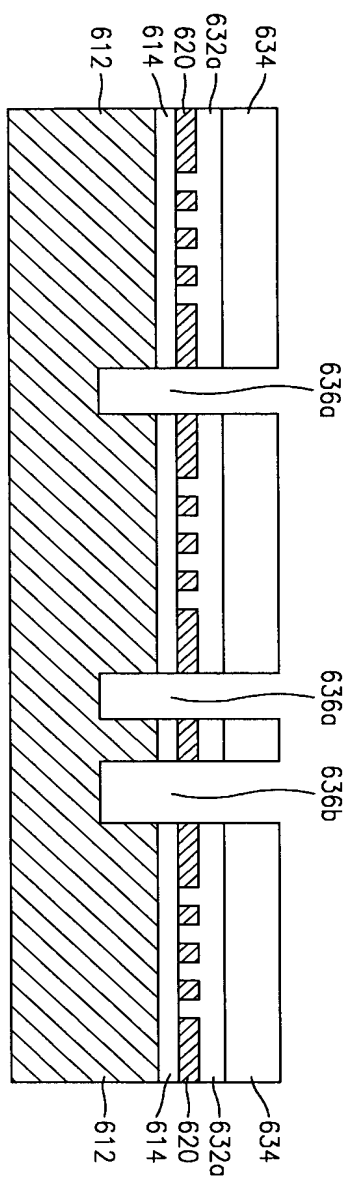


【도 7c】



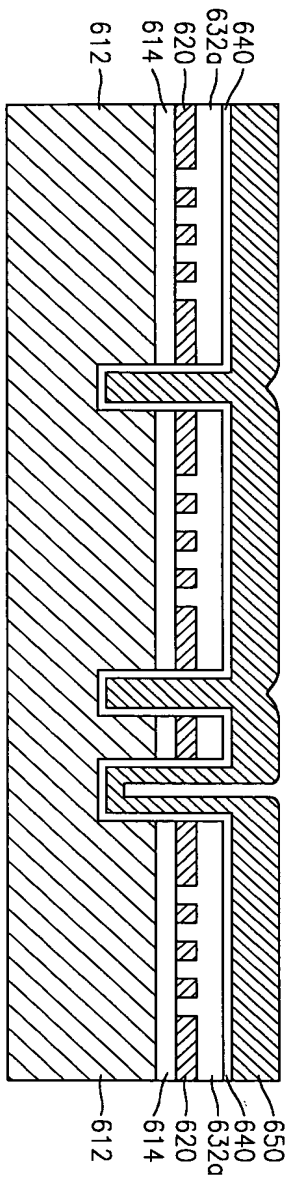


【도 7d】



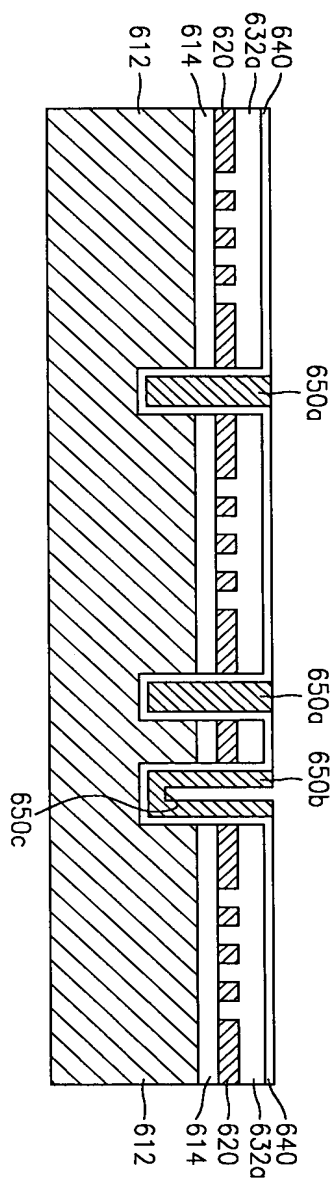


【도 7e】

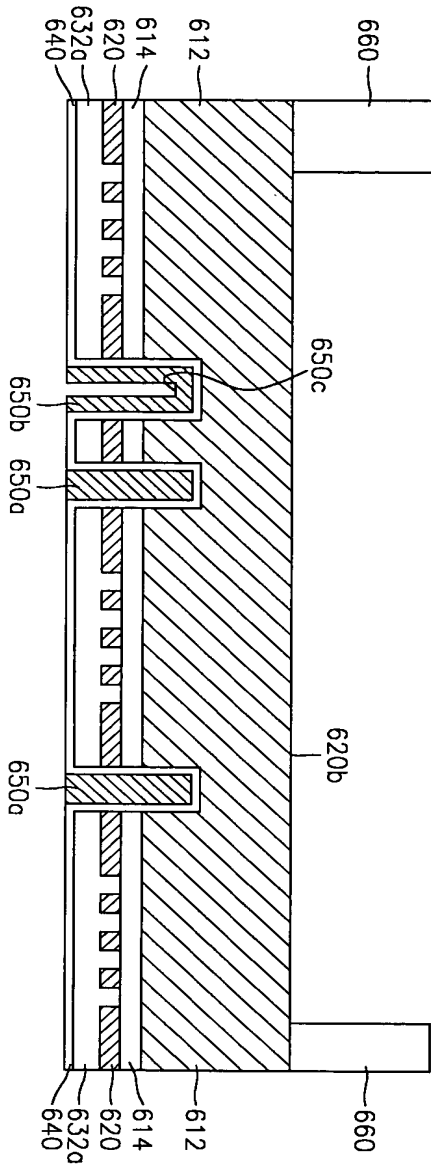




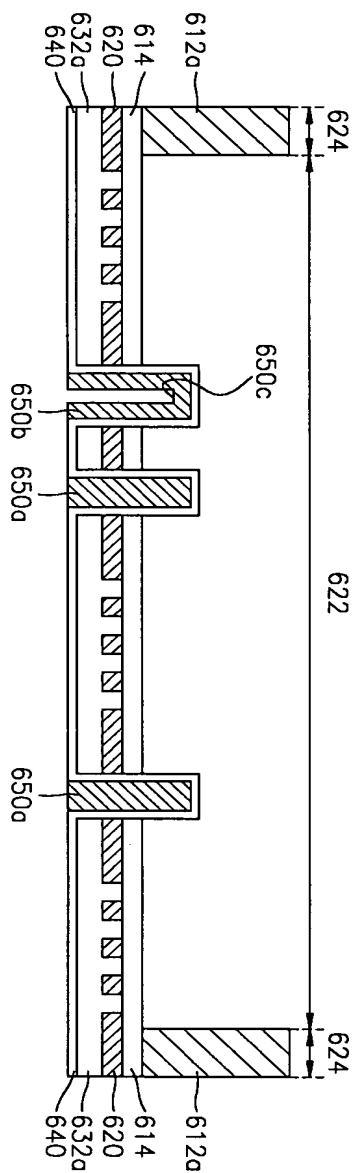
【도 7f】



【도 7g】



【도 7h】



【도 7i】

